

基于量子元胞自动机容错全加器的设计

张南生, 蔡 理, 冯朝文
(空军工程大学 理学院, 陕西 西安 710051)

摘 要: 为提高新一代纳米器件量子元胞自动机(QCA)电路的稳定性及可靠性,提出了一种容错 1 位全加器,然后通过 QCADesigner 软件来仿真分析 1 位容错全加器,验证了该设计的可行性及它具有较好的容错性,该设计对复杂 QCA 电路的容错性的研究起到借鉴作用。

关键词: 量子元胞自动机; 择多逻辑门; 固定故障模型; 容错全加器

中图分类号: TN79⁺1

文献标识码: A

文章编号: 1000-7180(2010)11-0074-03

Design of Tolerance Fault Full Adder Based on QCA

ZHANG Nan-sheng, CAI Li, FENG Chao-wen

(Institute of Science, Air Force Engineering University, Xi'an 710051, China)

Abstract: Nano-technology as a new generation of quantum cellular automata (QCA) has developed at a high speed in recent years. With the purpose of improving the stability of QCA circuit, this thesis is going to provide a brand-new design. It suggests adopting tolerance fault one-bit full adder, then via the simulation and analysis by QCA Designer to check its feasibility and its tolerance of fault. This design, according to the author's view, would set a good example for the study of the complex QCA circuit.

Key words: quantum cellular automata; the majority gate; stuck-at-fault model; tolerance fault full adder

1 引言

文献[1]提出了一种基于元胞自动机结构利用库仑相互作用的量子器件,称作量子元胞自动机(Quantum Cellular Automata, QCA)。QCA 是由量子点和隧道结按一定的结构组合而成,量子点之间通过其中包含的电子相互作用而连接,它不再是利用电压或电流来表示信息,而是通过电子占据的量子点的位置来表征二进制信息。它具有体积小、无引线集成和功耗低等优点,其高度集成化远远超过目前大规模集成化的极限并达到海森伯不确定原理设定的极限,是将来极具竞争力的电子器件之一^[2]。但是目前的制造工艺限制了 QCA 电路的发展,因为 QCA 对制造工艺的精确度要求特别高^[3],而以目前的 QCA 尺寸来说,它必须工作于低温下才能使其产生量子隧穿效应,这样器件才能够正常运行。为使

QCA 电路能在常温下工作,就必须将它的量子点直径减小到 10nm 左右,而在这种尺寸下, QCA 很容易出现缺陷,而导致 QCA 电路不稳定。因此,本文提出了一种具有容错能力的全加器,并通过 QCADesigner 软件^[4]来仿真验证,深入研究容错性。

2 基本概念

2.1 QCA 元胞

图 1(a)所示为四个单电子隧道结(带横线的方框符号)构成的环^[5],其角上是四个量子点(空心圆圈),若再包含另外的两个电子就构成了一个 QCA 元胞,如图 1(b)所示,电子能够通过隧道结在元胞内的量子点间隧穿。由于库仑排斥作用,两个电子易于占据对角线上的量子点,因此,单个元胞具有两个完全极化状态。一般用图 1(c)符号表示单个元胞的这两个状态。

收稿日期: 2009-09-17; 修回日期: 2009-11-17

基金项目: 国家高技术研究发展计划项目

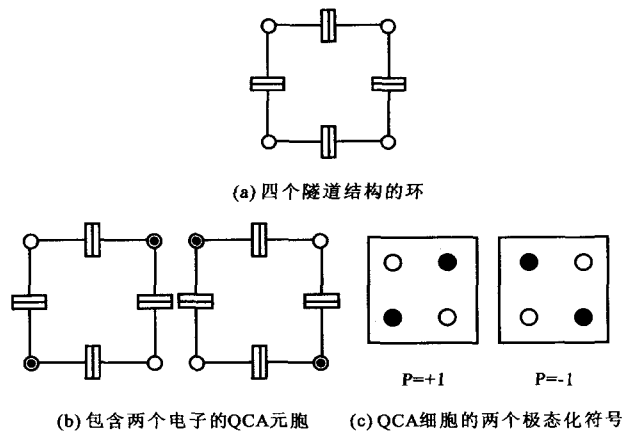


图1 量子元胞自动机(QCA)

2.2 QCA 的基本电路

由于 QCA 元胞的双稳态特性,可利用元胞的线形排列有效地传递二进制信息,构造各种基本逻辑电路^[6].图 2 给出了几种 QCA 基本逻辑电路,其中图 2(a)为 QCA 线;图 2(b)为标准反相器;图 2(c)为扇出;图 2(d)表示的是一个 QCA 的基本逻辑器件,称为择多逻辑门.

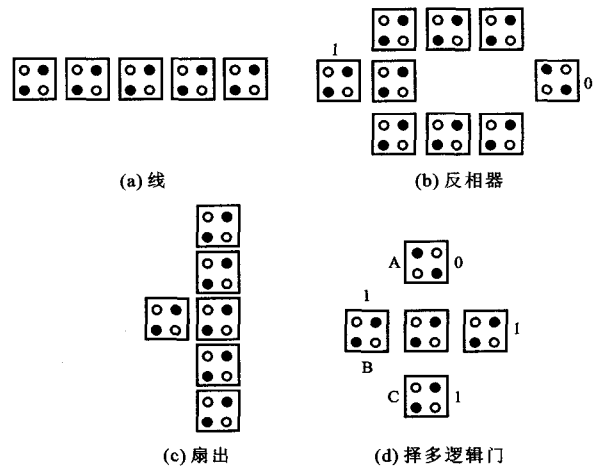


图2 QCA 基本电路

2.3 QCA 的容错逻辑门

文献[7]于 2001 年首次将容错技术应用到 QCA 电路中,并提出一种具有容错能力的块结构择多逻辑门,如图 3 所示.其中图 3(a)所示的块结构择多逻辑门是由 32 个元胞通过 9×6 阵列有序排列组成的,在结构上属于单输入单输出,而图 3(b)所示的块择多逻辑门在结构上是属于三输入三输出的,其容错能力强于单输入单输出的块择多逻辑门.

3 容错全加器的设计

全加器是数字电路的基本组成部分,也是设计

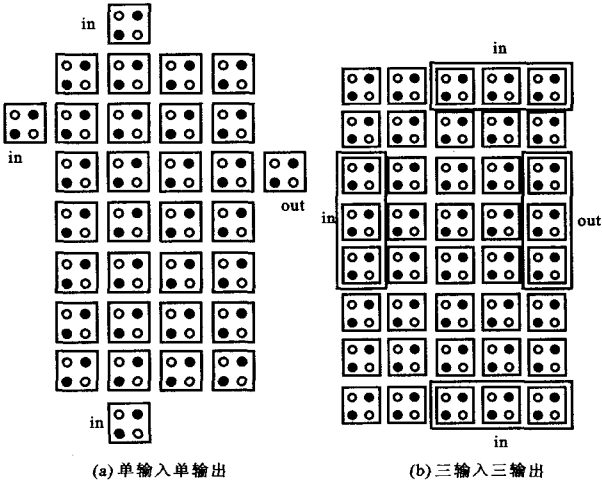


图3 块结构择多逻辑门

复杂 QCA 电路时经常要用到的组件,例如 QCA 处理器的设计^[8],因此很多学者都对 QCA 全加器的电路结构进行了深入研究,但是目前对具有一定容错能力全加器的研究就相对甚少,从而本文提出了一种新型的一位全加器.

一位全加器的逻辑表达式如下:

$$\text{Sum} = A \cdot B \cdot C_{in} + \bar{A} \cdot \bar{B} \cdot C_{in} + \bar{A} \cdot B \cdot \bar{C}_{in} + A \cdot \bar{B} \cdot \bar{C}_{in}$$
(1)

$$C_{out} = A \cdot B + A \cdot C_{in} + B \cdot C_{in} = m(A, B, C_{in})$$
(2)

由式(2)推出:

$$\bar{C}_{out} = \bar{A} \cdot \bar{B} + \bar{A} \cdot \bar{C}_{in} + \bar{B} \cdot \bar{C}_{in} = m(\bar{A}, \bar{B}, \bar{C}_{in})$$
(3)

通过式(1)重新化简可得

$$\text{Sum} = (\bar{A} \cdot \bar{B} + \bar{A} \cdot \bar{C}_{in} + \bar{B} \cdot \bar{C}_{in})C_{in} + C_{in} + (\bar{A} \cdot \bar{C}_{in} + \bar{B} \cdot \bar{C}_{in})(A \cdot \bar{C}_{in} + B \cdot \bar{C}_{in})$$
(4)

$$\text{Sum} = m(\bar{C}_{out}, C_{in}, m(A, B, \bar{C}_{in}))$$

根据 Wauls 设计的全加器^[9],结合式(4),并将冗余技术引入到新型全加器中,设计出容错全加器,电路结构如图 4 所示.

从图 4 可以看出,该容错全加器在结构上包含了 3 个 6×5 阵列的容错择多逻辑门和 2 个 4×4 阵列的容错反相器,输入线上包含了 4 次导线交叉;在时钟方面采用了四个时钟区域来控制数据流的传输,从而它在输出波形上将产生一个时钟周期的延迟.

仿真结果分析出,该容错全加器完全实现了其逻辑功能,并具有一定的容错能力,例如在元胞 1 丢失、元胞 2 偏移等情况下,都依然能够正常运行,因此所提出的容错全加器结构将对以后具有容错能力的复杂电路设计奠定基础,具有一定的借鉴意义.

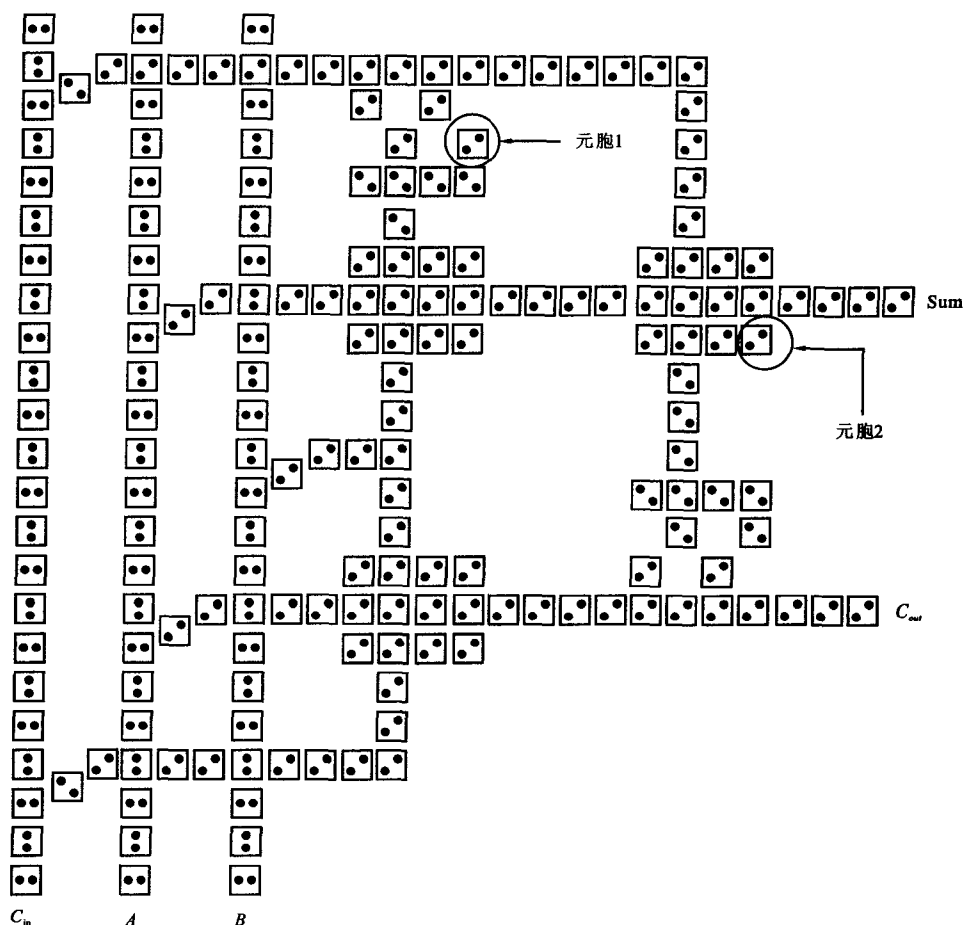


图4 容错全加器

4 结束语

量子元胞自动机^[10]由于其低功耗和高集成度等优点,将使其成为具有潜在优势的功能组件.但是目前 QCA 存在着位移、未对准等缺陷,而这些缺陷可能会导致 QCA 电路失效,因此为了使少数元胞出现缺陷时,电路依然能够正常运作,本文引用冗余结构到 QCA 逻辑电路的设计中,相应地设计出具有一定容错能力的全加器,通过 QCADesigner 软件仿真,验证了该全加器的可行性,其设计方法将对复杂 QCA 电路的容错性研究起到借鉴作用.

参考文献:

- [1] Lent C, Tougaw P, Porod W, et al. Quantum cellular automata [J]. Nanotechnology, 1993, 4(1): 49-57.
- [2] Lusth J. Balancing QCA logic gates under image charge neutralization[J]. IEEE - NANO, 2002: 347-350.
- [3] Armstrong C, Humphreys W. The design of fault tolerant quantum dot cellular automata based logic [EB/OL], (2003-03-28) [2009-03-10]. <http://www.cambr.>
- [4] Walus K, Dysart T, Jullien G, et al. QCADesigner: a rapid design and simulation tool for quantum-dot cellular automata [J]. IEEE Transactions on nanotechnology, 2004, 3(1): 26-31.
- [5] 王森, 蔡理, 刘河潮. 量子细胞自动机及其仿真实现[J]. 微电子学与计算机, 2004, 21(8): 84-87.
- [6] Tougaw P, Lent C. Logical device implementation using quantum cellular automata[J]. Applied Physics, 1994, 75(3): 1818-1825.
- [7] Fijany A, Toomarian B. New design for quantum dot cellular automata to obtain fault tolerant logic gates [J]. Nanoparticle Research, 2001, 3(1): 27-37.
- [8] Niemier M T, Kogge P M. Logic in wire: using quantum dots to implement a microprocessor[C]// 9th Great Lakes Symposium. USA, Ypsilanti, 1999: 1211-1215.
- [9] Wang W, Walus K, Jullien G. Quantum-dot cellular automata adders[J]. IEEE - Nano, 2003(9): 1056-1063.
- [10] 王森, 蔡理, 吴刚. 基于量子细胞自动机的只读存储器设计[J]. 微电子学与计算机, 2007, 24(11): 46-48.

(下转第 81 页)

表 1 估算结果与 HSPICE 仿真结果对比			
SRAM size	Estimation result/ μ W	Hspice result/ μ W	Error/%
512 $\times$ 32	89.542 42	93.527 64	4.261
512 $\times$ 2	33.411 30	32.339 88	-3.313
128 $\times$ 45	51.971 33	54.947 88	5.417

5 结束语

通过分析 SRAM^[7] 各个组成模块的工作状态,建立相应的功耗模型,仿真结果表明,利用建立的功耗模型,能够快速的估算 SRAM 的泄漏功耗.

参考文献:

[1] Chen X, Peh L. Leakage power modeling and optimization in interconnection networks[C]// Proceedings of the 2003 International Symposium on Low Power Electronics and Design, 2003. ISLPED '03. Korea: Seoul, 2003: 90 - 95.

[2] Mamidipaka M. Leakage power estimation in SRAMs[R]. CECS TR03 - 32, UC Irvine, 2003.

[3] Byung - Do, Y, Lee - Sup K. A low - power SRAM using hierarchical bit line and local sense amplifiers[J]. Solid - State Circuits, 2005,40(6):1366 - 1376.

[4] Mamidipaka M. Analytical models for leakage power estimation of memory array structures [C]// International Conference on Hardware Software Codesign archive Proceedings of the 2nd IEEE/ACM/IFIP. France Paris, 2004:146 - 151.

[5] 甘学温. 数字 CMOS VLSI 分析与设计基础[M]. 2 版. 北京:北京大学出版社,1999.

[6] 陈志强,吴晓波,严晓浪. 基于 GSAA 算法的组合电路最大功耗估计方法[J]. 电路与系统学报,2005,10(2):75 - 78.

[7] 李海霞. 一种低功耗抗辐照加固 256kbSRAM 的设计[J]. 微电子学与计算机,2007,24(7):142 - 145.

作者简介:

陈志强 男,(1974 -),博士.研究方向为数模混合集成电路设计、低功耗设计.

(上接第 76 页)

作者简介:

张南生 男,(1983 -),硕士研究生.研究方向为纳电子器件的理论及应用、数字电路与信号处理.

蔡理 女,(1959 -),教授,博士生导师.研究方向为集成

滤波器理论和设计、纳电子器件的理论及应用、现代集成电路与系统.

冯朝文 男,(1983 -),博士研究生.研究方向为纳电子器件的理论及应用,集成电路与信号处理.